

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
12. Mai 2005 (12.05.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/042401 A1

(51) Internationale Patentklassifikation⁷: **B81B 7/00**

(21) Internationales Aktenzeichen: PCT/DE2004/002413

(22) Internationales Anmeldedatum:
29. Oktober 2004 (29.10.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 50 460.5 29. Oktober 2003 (29.10.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **X-FAB SEMICONDUCTOR FOUNDRIES AG** [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KNECHTEL, Roy** [DE/DE]; Geraer Strasser 23, 98716 Geraberg (DE).

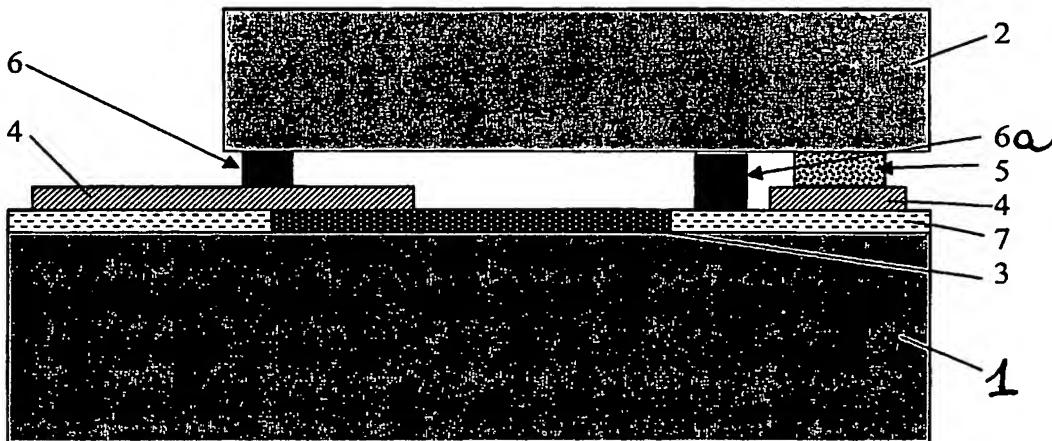
(74) Anwälte: **LEONHARD OLGEMOELLER FRICKE** usw.; Postfach 10 09 62, 80083 Muenchen (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für Jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR SECURE, INSULATED AND ELECTRICALLY CONDUCTIVE ASSEMBLING OF TREATED SEMICONDUCTOR WAFERS

(54) Bezeichnung: FESTES ISOLIERENDES UND ELEKTRISCH LEITENDES VERBINDELN PROZESSIERTER HALBLEITERSCHEIBEN



(57) Abstract: The invention concerns a method and a device for assembling treated semiconductor wafers (1, 2), for obtaining not only a secure assembly, but an electrical connection (5) between the semiconductor wafers or between the electronic structures (3) comprising the latter as well. The invention is characterized in that the secure assembly is produced by means of structured intermediate glass layers (6; 6a), with low melting point, acting as insulating layers, and the electrical connection is produced by means of an electroconductive sealing glass (5).

(57) Zusammenfassung: Die Erfindung bezieht sich auf ein Verfahren und eine Anordnung der Verbindung von prozessierten Halbleiterscheiben (1,2), wobei zusätzlich zu dem festen Zusammenfügen eine elektrische Verbindung (5) zwischen den Halbleiterscheiben bzw. zwischen den diese tragenden elektronischen Strukturen (3) vorhanden ist. Dazu werden zwecks fester Verbindung niedrig schmelzende strukturierte Glaszwischenschichten (6; 6a) als Isolierschichten und als elektrische Verbindung in Form von elektrisch leitfähigem Lot (5) auf Glasbasis eingesetzt.

WO 2005/042401 A1

BEST AVAILABLE COPY



(84) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Erklärung gemäß Regel 4.17:

— Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.